

2020 전기및전자공학부 연구실 소개 책자

Circuit Division

KAIST EE

KAIST 전기 및 전자공학부

Circuit Division

1. 멀티미디어 VLSI 연구실 (Multimedia VLSI Laboratory, 김이섭 교수 연구실)

: Deep Learning & Neural Network Processor Design, Processing in-Memory for Deep Learning

2. 캐스트 연구실 (CAST Lab, 김주영 교수 연구실)

: VLSI 디자인, 컴퓨터 구조, FPGA, 하드웨어 소프트웨어 코디자인

3. 회로설계연구실 (Circuit Design Research Laboratory, 김현식 교수 연구실)

: 아날로그집적회로(Analog IC), 전력변환/관리회로(Power Conversion & Management), 디스플레이구동회로 (Display Driver), 센서인터페이스(Sensor Interface), 검출회로(Readout IC), 이미지센서(Image Sensor)

4. 혼성신호 집적회로 연구실 (Mixed Signal Integrated Circuits Laboratory, 류승탁 교수 연구실)

: 아날로그 디지털 변환기(ADC), 디지털 아날로그 변환기(DAC), CMOS 이미지 센서(CIS), 상변화 램(PCRAM), 바이오 센서(Bio Sensor), 지문 센서(Fingerprint Sensor)

5. Intelligence Computing Systems Laboratory (ICSL, 박인철 교수 연구실)

: 컴퓨터 아키텍처 (Computer architecture), 마이크로프로세서 (Microprocessor), 5G 통신 시스템 (5G communication system), 인공신경망 가속기 (Neural network accelerator), 멀티미디어 신호처리 (Multimedia signal processing), 메모리 및 통신 시스템을 위한 오류정정부호 (Error correction codes in memory and communication systems)

6. 나노스케일 집적 시스템 연구실 (Nanoscale Advanced Integrated System, 배현민 교수님 연구실)

: 고속 시리얼 통신 집적회로, E-tube, 초음파시스템(의료용, 자율주행), 근적외선 분광법(fNIRS)

7. 마이크로 컴퓨팅 연구실 (Micro computing lab, 신영수 교수 연구실)

: 스마트홈 및 사물인터넷 서비스를 위한 55nm 이하급 공정 0.6V 이하 저전압 회로기술을 활용한 초저전력 MCU 플랫폼 개발, Mask pattern 특성 파악을 통한 ML-SPA 및 OPC model 정확도 향상, 머신러닝을 이용한 clock tree structure 예측 방법, Graph neural network 기반 ECO, generative model 기반 mask 레이아웃 합성

8. 반도체 시스템 연구실 (Semiconductor System Laboratory, 유희준 교수님 연구실)

: System on Chip Design, Mobile DNN Learning Processor, Deep Reinforcement Learning Processor, Neuromorphic System

9. 나노집적회로전문연구실 (Nano Integrated Circuit Expertise Laboratory, 이상국 교수 연구실)

: 초저전력 무선 통신 송수신기 (Ultra-low Power Wireless Transceiver), 테라헤르츠 6G 통신 송수신기 (CMOS-based THz 6G Transceiver), 차세대 배터리 관리 알고리즘 (Next Generation Battery Management Algorithm), 배터리 관리 집적회로 (Battery Management IC)

10. 지능형전력효율설계연구실 (Smart Energy-Efficient Design Laboratory, 정완영 교수 연구실)

: 저전력 회로 및 시스템(Low-power circuits and systems), 센서 인터페이스 및 데이터 컨버터(Sensor interfaces and data converters), 에너지 하베스팅 및 전력 관리 회로(Circuits for energy harvesting and power management), 엣지 컴퓨팅(Edge computing), 사물인터넷(Internet of Things), 가상물리시스템(Cyber-physical system)

11. 집적회로 및 마이크로시스템 연구실 (IMPACT, 제민규 교수 연구실)

: 센서 인터페이스 집적 회로 (sensor interface IC), 무선 통신 집적 회로 (wireless communication IC), 마이크로 시스템 융합-의료기기; 사물인터넷; 웨어러블 응용 (microsystem convergence-biomedical devices; Internet of Things; wearable applications)

12. Cho's Circuits and System Laboratory (CCSLAB, 조성환 교수 연구실)

: 바이오 메디컬, 센서, 위상고정루프, 아날로그-디지털 변환기, 메모리 인터페이스, 인공지능 회로, 웨어러블 및 인공지능을 바탕으로 하는 헬스케어 (Medical and CMOS sensors, phase-locked loops (PLL), analog-to-digital converters (ADCs), memory interface, efficient machine learning circuits, healthcare system based on wearable devices and machine learning)

13. 집적회로 및 시스템연구실 (Integrated Circuits and Systems Lab, 최재혁 교수 연구실)

: 5G and Beyond IC 설계 연구, 초저잡음 고주파신호 생성 IC 설계 연구, 에너지하베스팅 기반 IoT 플랫폼 설계 연구



■ 연락처

교수 : 나노펍 센터 (E19) S-204 TEL : 042-350-3460
 연구실 : 나노펍 센터 (E19) S-204 TEL : 042-350-8060
 홈페이지 : <http://mvlsi.kaist.ac.kr>

■ 연구실 현황(2019 가을학기 기준)

박사후과정 : 1명 박사과정 : 7명 석사과정 : 7명

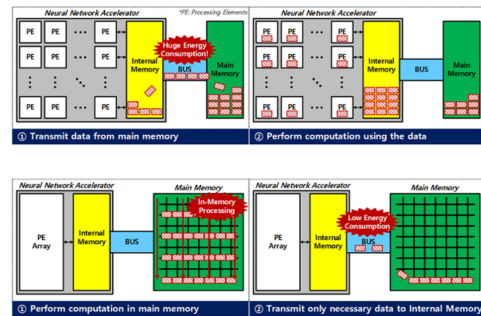
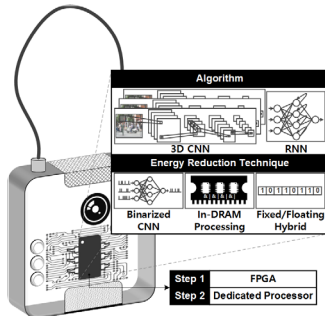
■ 연구 분야 소개

[Deep Learning & Neural Network Processor Design]

딥 러닝 알고리즘은 이미지, 음성 등 다양한 분야에서 압도적인 성능을 보이고 있습니다. GPU는 뉴럴 네트워크를 실행하는데 널리 사용되지만, 낮은 에너지 효율로 인하여 스마트폰, 웨어러블 디바이스, 드론과 같은 모바일 디바이스에 사용하기에는 적합하지 않습니다. 저희 연구실은 고성능, 에너지 효율적인 뉴럴 네트워크 프로세서의 설계 및 구현에 중점을 두고 있습니다. 이를 위해 뉴럴 네트워크에 최적화된 데이터 경로 및 메모리 아키텍처, 다양한 뉴럴 네트워크 모델을 처리할 수 있는 유연한 하드웨어 아키텍처 및 하드웨어 친화적인 뉴럴 네트워크 알고리즘에 관한 연구를 진행하고 있으며, 이를 기반으로 한 뉴럴 네트워크 프로세서 칩을 설계, 제작 및 테스트합니다. 저희 연구실은 딥 뉴럴 네트워크 분야에 있어 수준 높은 연구를 수행하고 있으며, 그 성과를 저명한 국제 학회 및 저널에 발표하고 있습니다.

[Processing in-Memory for Deep Learning]

기존의 Von-Neumann 아키텍처는 방대한 양의 데이터가 제한된 버스를 통해 메인 메모리와 프로세서 간의 통신이 이루어집니다. 이는 높은 정확도를 위해 많은 양의 데이터 및 연산을 필요로 하는 딥 러닝 알고리즘에 있어 심각한 메모리 병목 현상을 유발합니다. 이를 타개하기 위해 등장한 Non-Von Neumann 아키텍처를 따르는 PIM (Processing in-Memory) 기술은 메모리에서 대부분의 연산을 처리하고 필요한 데이터만 프로세서로 전송함으로써 메모리 데이터 전송에 필요한 에너지를 크게 줄일 수 있습니다. 따라서 PIM 기술은 대규모 딥 뉴럴 네트워크를 효율적으로 처리하기 위한 핵심 방향이자 차세대 플랫폼으로 주목받고 있습니다.



■ 추천 수강 과목 및 졸업생 진로

▷ 추천 수강 과목: Digital System, Computer Architecture, Digital Integrated Circuit, Computer Vision, Deep Learning 과 Neural Network 관련 수업
 ▷ 졸업생 진로: 국내외 반도체 회사 및 연구소 (Samsung, SK hynix, Qualcomm, NVIDIA, ETRI 등)

■ 연구 활동 외 소개

▷ 중식 후 커피 타임
 ▷ 다양한 취미 활동 공유
 ▷ 축구, 배드민턴, 탁구 등 다양한 운동
 ▷ 하계/동계 MT

■ 연구실 홍보

저희 연구실의 가장 큰 장점은 SoC design에 필요한 알고리즘, 아키텍처 및 아날로그 회로 등 다양한 연구 주제를 접해 볼 수 있다는 것입니다. 최근에는 딥 러닝 및 뉴럴 네트워크 프로세서 설계와 딥 러닝을 위한 PIM (Processing in-Memory) 기술에 역량을 집중하고 있으며, 이를 위해 팀을 양분하여 연구를 진행하고 있습니다. 또한, 가족 같은 분위기 속에서 선후배 간의 활발한 교류 및 각자 자신의 연구에 집중할 수 있는 자유로운 연구 활동을 이어나가실 수 있습니다. 이를 바탕으로 저희 연구실은 저명한 국제 학회 및 저널을 통해 최첨단 연구 성과물(연구 분야 최고 권위 학회 포함 8편, SCI 저널 6편)을 발표하고 있습니다.

■ 최근 연구 성과 소개 ('19)

[1] Hyeonuk Kim, Jaehyeong Sim, Yeongjae Choi, Lee-Sup Kim, "NAND-Net: Minimizing Computational Complexity of In-Memory Processing for Binary Neural Networks", IEEE International Symposium on High-Performance Computer Architecture, Jan 2019
 [2] Seungkyu Choi, Jaekang Shin, Yeongjae Choi, Lee-Sup Kim, "An Optimized Design Technique of Low-bit Neural Network Training for Personalization on IoT Devices", ACM/IEEE Design Automation Conference, Jun 2019
 [3] Daewoong Lee, Dongil Lee, Yong-Hun Kim, Lee-Sup Kim, "A 0.87 V 12.5 Gb/s Clock-Path Feedback Equalization Receiver with Unfixed Tap Weighting Property in 65 nm CMOS", Symposium on VLSI Circuits, Jun 2019
 [4] Jaehyeong Sim, Somim Lee, Lee-Sup Kim "An Energy-Efficient Deep Convolutional Neural Network Inference Processor with Enhanced Output Stationary Dataflow in 65-nm CMOS", IEEE Transactions on Very Large Scale Integration Systems, 2019

<h1>CAST Lab</h1> <p>(Circuits, Architecture, Systems, Technology)</p>		■ 연락처 교수 : E3-2 #4202 TEL : 042-350-7461 연구실 : E3-2 #4209 TEL : TBD 홈페이지 : http://castlab.kaist.ac.kr
■ 연구실 현황 (2019 가을학기 기준) 박사후과정 : 0명 박사과정: 1명 석사과정: 1명		
■ 연구 분야 소개		
1. 차세대 AI 프로세서 머신 러닝 (Machine Learning) 기술은 대량의 관측된 데이터를 기반으로, 컴퓨터가 인간과 비슷한 인지 작업들을 처리하는 방식을 혁신적으로 변화시켜 왔습니다. 광범위한 산업들이 이 기술을 이용하게 되면서 해당 연산을 빠르고 에너지 효율적으로 지원할 수 있는 새로운 하드웨어에 대한 요구가 계속해서 증가하고 있습니다. 하지만 최신의 하드웨어 솔루션들은 멀티-레이어 퍼셉트론 (Multi-Layer Perceptron), 컨볼루션 뉴럴 네트워크 (Convolutional Neural Networks), 리커런트 뉴럴 네트워크 (Recurrent Neural Networks)와 같은 몇 가지 널리 쓰이는 알고리즘들만을 지원하고 있습니다. 그에 반해, 우리 연구실에서는 기존에 널리 쓰이는 알고리즘뿐만 아니라 최근 주목받고 있는 비지도 학습 (unsupervised learning), 강화 학습 (reinforcement learning)과 같은 차세대 AI/ML 시나리오들을 모두 지원하는 하드웨어를 설계하는 연구를 진행하고 있습니다. 	2. 데이터센터 시스템-온-칩 클라우드 컴퓨팅은 기업의 서비스 운영 방식을 빠르게 변화시키고 있습니다. 클라우드 데이터 센터에 있는 서버를 위한 특수 하드웨어 개발은 에너지 절약 효과가 서버 숫자로 압해지기 때문에 경제적 측면에서 의미가 있습니다.  비록 데이터센터에서 주로 사용되는 애플리케이션을 찾는 것은 어렵지만, 대부분의 네트워크 및 스토리지 레이어는 다양한 애플리케이션에서 데이터 처리 파이프라인을 공유하는 경향이 있습니다. 따라서 우리 연구실에서는 일반적인 네트워크 및 스토리지 처리를 가속할 뿐만 아니라, 데이터센터에서 널리 쓰이는 가상 머신들이 네트워크 및 저장 디바이스를 집적 접근할 수 있게 하는 시스템-온-칩 개발을 목표로 하고 있습니다.	3. 메모리 중심 컴퓨팅 일반적으로 CPU는 컴퓨팅 시스템의 중심이며, 그 주변에 임시/영구 데이터를 저장하기 위한 몇 개의 메모리 계층들로 구성되어 있습니다. 하지만 기술 발달에 따라 컴퓨팅 유닛의 속도가 메모리 유닛의 속도보다 훨씬 빨라지게 되면서, 더는 CPU 연산 시간이 시스템에서 가장 많은 시간과 에너지를 소모하는 부분이 아니게 되었습니다. 이를 대신하여 실제 연산을 위해 메모리와 CPU 사이에 데이터를 이동하는 부분이 전체 시스템의 문제가 되었습니다. 메모리 중심 컴퓨팅은 많은 데이터 이동으로 발생하는 문제들을 해결하기 위하여 등장하였습니다. 우리 연구실에서는 기존의 시스템과는 다르게 연산 유닛을 메모리 유닛 주변에 위치하게 하여 데이터 근처에서 연산을 수행함으로써 메모리 계층간 데이터 이동을 최소화시키고 전체 시스템 효율을 향상시키는 것을 목표로 연구하고 있습니다. 
■ 추천 수강 과목 및 졸업생 진로 - 추천 수강 과목: 디지털 시스템 디자인 (EE303), 컴퓨터 구조 (EE312), 디지털 회로 (EE372), 우리 학과 또는 전산학과의 딥러닝 알고리즘 과목 - 졸업생 진로: 반도체 회사 (삼성, 애플, IBM) 그리고 IT 회사 (마이크로소프트, 구글, 페이스북).	■ 연구 활동 외 소개 - 마이크로소프트 리서치, IBM, 미국 워싱턴 대학 등과 같이 다양한 국제 연구 기관들과 협력하여 일 할 기회들이 많습니다. 이를 통하여 학생들은 해외 인턴십이나 취업 기회를 얻을 수 있습니다. - 현대적인 업무 공간과 개인의 자기 계발 또는 언어 능력을 향상할 수 있는 자원이 제공됩니다.	
■ 연구실 홍보 우리 연구실은 하드웨어 특수화를 통해서 최신 컴퓨팅 시스템을 혁신적으로 변화시키는 것을 목표로 하고 있습니다. 이를 위해 애플리케이션, 아키텍처, 회로 및 공정 기술과 같은 여러 계층의 컴퓨팅 시스템의 공동 설계에 중점을 둔 연구를 진행하고 있습니다.		
■ 최근 연구 성과 소개 ('17~'19) <u>우리 연구실은 이번 학기에 새롭게 시작하는 연구실로, 함께 연구할 인재들을 찾고 있습니다.</u> 아래는 교수님의 주요 논문들입니다. "A Cloud-Scale Acceleration Architecture," International Symposium on Microarchitecture (MICRO), 2016. "Toward Accelerating Deep Learning at Scale Using Specialized Logic," Hot Chips, 2015. "A 201.4GOPS 496mW Real-Time Multi-Object Recognition Processor with Bio-Inspired Neural Perception Engine," JSSC, 2010.		

Circuit Lab

Electrical Engineering | KAIST

■ 연락처

교수 : 정보전자공학동(E3-2) 4223호 TEL : 042-350-7457
 연구실 : 정보전자공학동(E3-2) 4226호 TEL : 042-350-5424
 홈페이지 : <https://www.ICdesignLab.net/>

■ 연구실 현황 (2019 가을학기 기준)

박사과정 : 5명 석박통합과정 : 1명 석사과정 : 5명

■ 연구 분야 소개

본 연구실에서는 다양한 분야의 반도체 집적회로(IC) 설계를 연구하고 습니다. 특히, 아날로그 회로 설계기법 연구를 통해 기존 IC의 성능한계를 극복하고 새로운 기능을 구현하는 것을 목표로 하고 있습니다.

□ 전력변환 및 전력관리 회로

- Switch-mode DC-DC power converter using inductive, capacitive, and hybrid techniques
- Fully-monolithic high-speed switching PMIC for modern SoCs
- Energy-harvesting interface circuit and system
- Fast-response high-PSR low-dropout (LDO) regulator
- Battery charger and management circuit

□ 디스플레이 구동회로 및 시스템

- High-resolution area-efficient digital-to-analog converter (DAC)
- OLED display driver with pixel-readout and active-compensation
- Low-power high-speed output driving buffer amplifier
- Fully-integrated system-on-wafer (SoW) for micro-LED displays
- Displays with touch-sensing functionality

□ 검출회로 및 이미지센서

- Low-noise high-sensitivity readout circuit and system
- Ultra-high-speed time-delayed integration (TDI) image sensor
- Photon-counting detector for nuclear particles and X-ray

■ 추천 수강 과목 및 졸업생 진로

회로설계 연구를 위한 기본지식으로 「회로이론」, 「전자회로」, 「아날로그 전자회로」, 「아날로그 집적회로」 등의 과목 수강을 추천 드립니다. 응용분야의 배경지식으로 「전력전자」, 「디스플레이공학」 등의 과목들이 도움이 될 수 있습니다. 이외에도 디지털회로 관련 과목들도 매우 중요합니다.

아날로그 회로설계 R&D 인력에 대한 사회적 수요는 매우 높습니다. 본 연구실 졸업 후 삼성, LG, SK-Hynix 등 대기업뿐만 아니라 해외 반도체관련기업, 정부출연연구기관, 대학 등으로 다양하게 진출할 수 있습니다.

■ 연구실 홍보



VLSI 2019 (Kyoto)



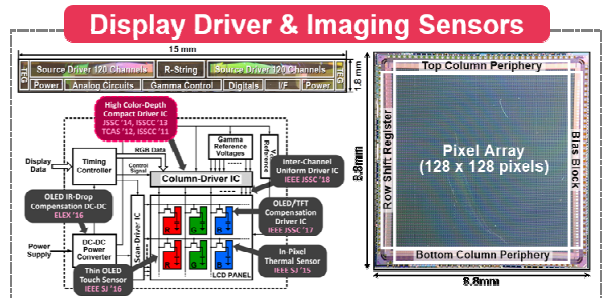
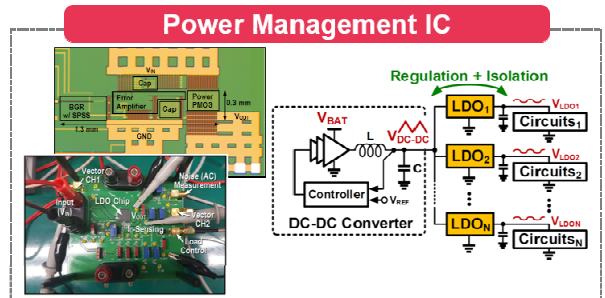
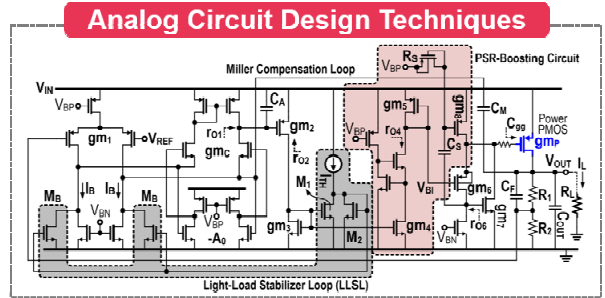
2019년 여름MT



학생 연구실

■ 최근 연구 성과 소개 ('18~'19)

- "A 300mA BGR-Recursive Low-Dropout Regulator Achieving 102-to-80dB PSR at Frequencies from 100Hz to 0.1MHz with Current Efficiency of 99.98%," *IEEE Symposium on VLSI Circuits (SOVC)*, pp. C132-C133, June 2019.
- "An Active-Matrix OLED Driver CMOS IC with Compensation of Non-Uniform Routing-Line Resistances in Ultra-Thin Panel Bezel," *IEEE Journal of Solid-State Circuits (JSSC)*, vol. 53, no. 2, pp. 484-500, Feb. 2018.



■ 연구 활동 외 소개

2019년 3월부터 시작된 신생 연구실입니다. 젊고 활기찬 분위기 속에서 수평적이고 합리적인 연구실 문화가 자리 잡고 있습니다. 지도교수님, 연구실 선배들과 언제나 격 없이 토론할 수 있는 학구적 분위기를 갖추고 있습니다.

음주가 최소화된 정기회식, 여름/겨울 MT, 문화의 날 운영을 통해 연구원 간의 친목을 도모하고 있습니다. 또한 미국 샌프란시스코, 하와이, 일본 교토 등 국내외 학술대회에 참가할 기회를 충분히 제공하고 있습니다. 최근 리모델링 된 쾌적한 연구실과 탕비 및 휴게공간을 갖추고 있습니다.



■ 연락처

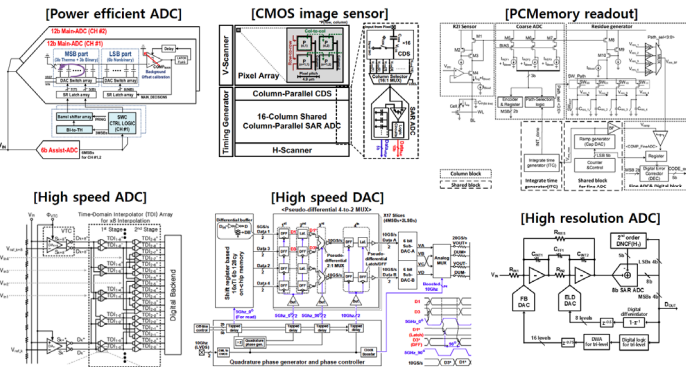
교수 : EE Building(E3-2) #4225 TEL : 042-350-7425
 연구실 : EE Building(E3-2) #4224, 4230 TEL : 042-350-7525, 7625
 홈페이지 : http://msicl.kaist.ac.kr

■ 연구실 현황(2019 가을학기 기준)

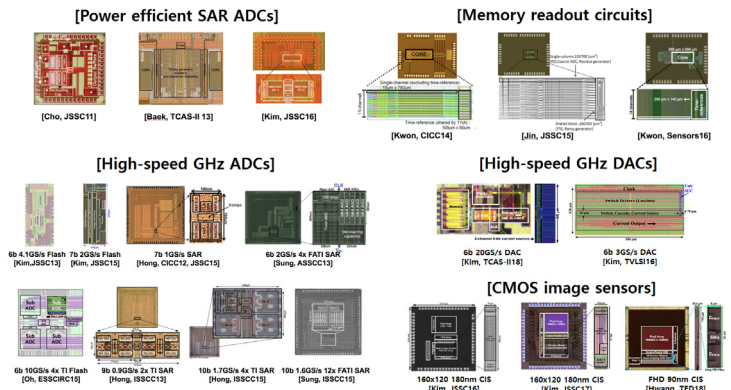
박사후과정 : 1명 박사과정 : 4명 석사과정 : 7명

■ 연구 분야 소개

MSICL에서는 Analog/Mixed signal 회로설계를 연구하고 있다. 주요 연구주제인 데이터 변환기 (ADC, DAC)는 디지털 시대에 그 중요성이 갈수록 커지는 핵심회로로, 아날로그 신호를 디지털형태로 변환하거나 그 반대의 기능을 수행한다. CPU와 같은 디지털 회로는 칩에 강하고 Programmable하며 연산 및 저장이 용이한 장점이 있으면서도 저전력 동작이 가능하며, 날이 갈수록 기존 아날로그 회로들로 구현되던 기능들을 대체해 가고 있다. 그러나 인간이 인지하는 자연계의 모든 신호가 아날로그 형태를 갖기 때문에 아날로그 회로는 반드시 존재해야 한다. 그리고 이러한 아날로그 신호를 디지털로 변환하기 위한, 또는 그 반대의 역할을 위한 데이터변환기는 우리가 디지털 기기라고 부르는 모든 곳 (예를 들어 휴대폰, TV, 모니터, MP3 player, 의료용장비 등)에 포함되어 있다고 할 수 있다. 이러한 이유로 디지털 회로가 발전할수록 더욱 발전의 요구가 많은 분야이며, 결코 사라질 수 없는 연구 분야이다. 특히 주요 연구주제인 데이터 변환기는 디지털 시대에 그 중요성이 갈수록 커지는 핵심회로로, 수요에 비해 설계 인력이 절대적으로 부족한 분야이다. 이 외에도 PCRAM 및 CMOS image sensor, bio sensor의 readout 회로 연구를 진행하고 있다.



< Various IC Design of MSICL >



< Chip Photographs of MSICL >

■ 추천 수강 과목 및 졸업생 진로

추천 과목으로는 전자회로, 아날로그 전자회로, 전자회로 특론 등의 회로와 관련된 수업을 듣는 것이 좋다. 졸업 후 진로는 반도체 회로설계 관련 회사 및 연구소 취업이나 창업 등이 가능하다.

■ 연구 활동 외 소개

연구실원들끼리의 친목 도모를 위하여 매 계절마다 친목 도모의 시간을 가지고 있으며, 활발한 체육활동을 하고 있다. 봄과 가을에는 산행을 하고 있으며, 여름과 겨울에는 정기적인 Workshop이 있다.



VLSI 2017 (Kyoto, Japan)


■ 연구실 홍보

MSICL에서는 Analog/Mixed signal 회로설계를 연구하고 있습니다. 주요 연구주제인 데이터 변환기 (ADC, DAC)는 디지털 시대에 그 중요성이 갈수록 커지는 핵심회로로, 수요에 비해 설계 인력이 절대적으로 부족한 분야입니다. 동작특성상 회로가 복잡하고 난이도가 높은 만큼, 회로에 대해 많은 것을 공부를 할 기회를 가지게 될 것입니다. 또한, 삼성, SK하이닉스, ETRI, KETI 등 유수의 기업체와 연구소 및 유망 벤처기업들과 연계한 과제들을 활발히 수행하고 있어, 이론뿐 아니라 실무 감각도 익힐 수 있을 것입니다. 회로설계에 관심 있는 학생이라면 MSICL과 함께 자신의 가치를 높일 수 있을 것입니다. 또한, 본 연구실에서는 연구실원들의 연구 증진을 위해 연구실 생활환경 및 복지개선을 위해 다양한 지원을 하고 있습니다.

■ 최근 연구 성과 소개 (15~17)

• Conference / Journal

- [1] Il-Hoon Jang "A 4.2mW 10MHz BW 74.4dB SNDR Fourth-order CT DSM with Second-order Digital Noise Coupling Utilizing an 8b SAR ADC" VLSI 2017.
- [2] Kyoung-Jun Moon, "A 9.1 ENOB 21.7fJ/conversion-step 10b 500MS/s Single-channel Pipelined SAR ADC with a Current-mode Fine ADC in 28nm CMOS" VLSI 2017.
- [3] Dong-Ryeol Oh, "A 65-nm CMOS 6-bit 2.5-GS/s 7.5-mW 8x Time-Domain Interpolating Flash ADC with Sequential Slope-Matching Offset Calibration" JSSC 2018.
- [4] Min-Jae Seo, "A 18.5nW 12-bit 1-kS/s Reset-energy Saving SAR ADC for Bio-Signal Acquisition in 0.18um CMOS " TCAS-1 2018.
- [5] Hyun-Wook Kang, "A Time-Interleaved 12-b 270-MS/s SAR ADC With Virtual-Timing-Reference Timing-Skew Calibration Scheme" JSSC 2018.
- [6] Sun-Il Hwang, "A 2.7-M Pixels 64-mW CMOS Image Sensor With MultiColumn-Parallel Noise-Shaping SAR ADCs" TED 2018.
- [7] Dong-Hwan Jin, "A Reference-Free Temperature-Dependency-Compensating Readout Scheme for Phase-Change Memory Using Flash-ADC-Configured Sense Amplifiers" JSSC 2019.
- [8] Woo-Cheol Kim, "A 6b 28GS/s 4-channel Time-Interleaved Current-Steering DAC with Background Clock Phase Calibration" VLSI 2019.
- [9] Min-Jae Seo, "A 40nm CMOS 12b 200MS/s Single-Amplifier Dual-Residue Pipelined-SAR ADC" VLSI 2019.

 <p style="font-size: 1.2em; font-weight: bold; margin: 0;">ICSL</p> <p style="font-size: 0.8em; margin: 0;">Intelligence Computing Systems Laboratory</p>	<p>■ 연락처</p> <p>교수 : 나노종합기술원 320호 TEL : 042-350-3461</p> <p>연구실 : 나노종합기술원 316호 TEL : 042-351-9884</p> <p>홈페이지 : http://ics.kaist.ac.kr/</p>
---	--

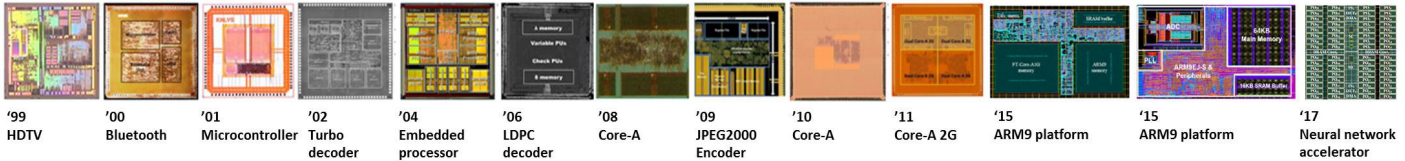
■ 연구실 현황(2019 가을학기 기준)

박사후과정 : 0명 박사과정 : 2명 석사과정 : 9명

■ 연구 분야 소개

Intelligence Computing Systems Laboratory (ICSL)은 2000년도에 박인철 교수님에 의해 설립되었습니다. ICSL 연구실에서 다루는 주요 연구 분야로는 컴퓨터 구조, 임베디드 프로세서, 그리고 멀티미디어 신호 처리와 통신 시스템과 같이 연산이 매우 복잡한 블록의 VLSI 구조 설계가 있습니다. 특히, **임베디드 프로세서, 오류 정정 부호, 인공지능망**을 위한 VLSI 설계를 중점적으로 연구하고 있습니다.

- **마이크로프로세서 설계:** 단일 칩 프로그래밍 가능한 SoC 플랫폼, 다중 thread 임베디드 프로세서 등 다양한 종류의 프로세서를 개발했습니다. 상기 SoC 플랫폼은 연구실 내에 자체 기술로 개발한 32-bit 임베디드 프로세서와 on-chip bus, 그리고 여러 peripheral들을 기반으로 설계되었습니다. 제작된 플랫폼을 이용한 차량 데모시스템 등을 통해서 그 우수성을 입증했습니다.
- **오류 정정 부호 VLSI 설계:** 오류 정정 기술은 저장 매체 및 통신 시스템에서 손실된 데이터를 복구하는 기술로, 본 연구실에서는 다양한 표준에 적용된 BCH, Turbo, LDPC, Polar 부호에 대하여 중점적으로 VLSI 회로를 설계했습니다. 더불어, 주요 기업 및 국내 저명 대학 연구팀들과 활발하게 협업하여 VLSI 구조 설계뿐만 아니라 알고리즘 또한 개선했습니다. 일부 오류 정정 부호에 대해서는 에너지 소모 대비 가장 높은 처리 속도를 달성하여 학계에서 우수성을 입증 받았습니다.
- **인공지능망 VLSI 설계:** 최근 인공지능 기술이 다양한 application에 접목되고 복잡도가 증가함에 따라 인공지능망 처리에 특화된 칩 설계가 큰 화두가 되고 있습니다. 본 연구실은 마이크로프로세서와 고사양 저전력 ASIC을 설계한 경험을 바탕으로 인공지능망의 데이터 재사용을 극대화한 VLSI 구조를 통해 높은 energy efficiency를 달성할 수 있는 가속기를 제작하였습니다. 상기 가속기는 전세계 최초로 다중 프로세서에서 신경망을 분산 처리할 수 있는 기능 또한 탑재하였습니다.



■ 추천 수강 과목 및 졸업생 진로

디지털 VLSI 회로 설계와 관련된 과목들을 추천하며, 대표적으로 "디지털 시스템", "디지털 신호 처리", "신호 및 시스템", "컴퓨터 구조개론", "전자회로"가 있습니다. 대부분의 졸업생은 대학교 교수로 임용되거나 주요 기업 및 국책 연구소에 연구원으로 채용돼 이공계 분야 발전에 기여하고 있습니다.

■ 연구 활동 외 소개


본 연구실 학생들은 연구 외에 다양한 활동들을 자유롭게 함께 즐깁니다. 풋살, 농구, 캐치볼 등의 운동을 하며 때때로 영화관에서 영화를 시청합니다. 연구실 내 휴게실에는 헬스 기구, 기타, 피아노, TV가 있어 취미활동을 즐깁니다.

■ 연구실 홍보

KAIST ICSL 연구실은 모든 연구원에게 최상의 연구 환경을 제공합니다. 개인 별로 1대의 고사양 개인 PC를 지급되며 (Intel Core i7 급 이상, 21' FHD 모니터 2대, 1TB HDD, 256GB SSD 등), 자유롭게 활용할 수 있는 GPU 서버가 존재합니다. 매주 각각 1회씩 개최되는 연구 미팅과 프로젝트 미팅을 통해 교수님과 연구 활동을 활발하게 진행하며, 최근 2년 간 저명 학계 및 SCI급 학술지에 다수의 논문을 게재 및 승인 받아 우수성을 입증 받았습니다. 연구는 다양한 시스템의 VLSI 구조 설계를 목표로 하며, 특히 통신, 저장 매체, 인공지능망, 오류 정정 부호 등의 시스템에 대하여 알고리즘 및 VLSI 구조를 제안합니다.

■ 최근 연구 성과 소개 ('17~'19)

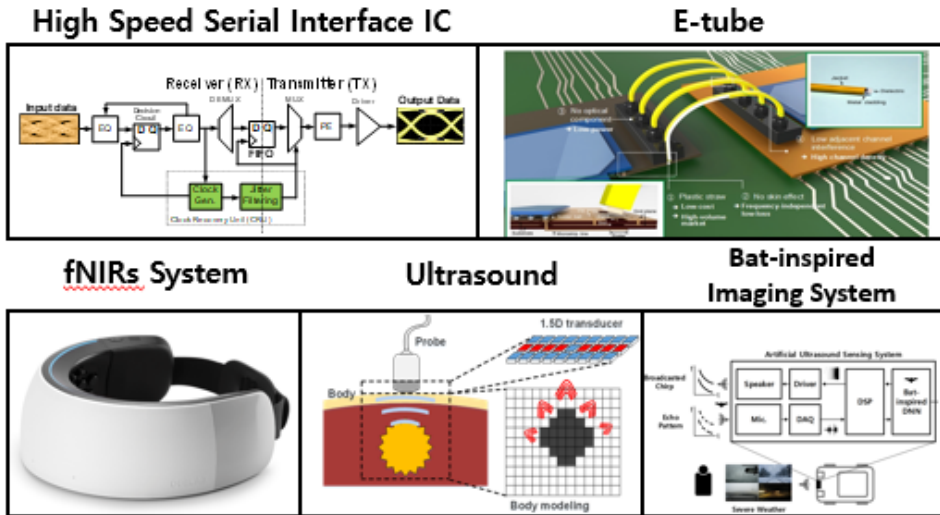
- [1] Seokha Hwang, Seungsik Moon, Jaehwan Jung, Daesung Kim, In-Cheol Park, Jeongseok Ha, and Youngjoo Lee, "Energy-efficient Symmetric BC-BCH Decoder Architecture for Mobile Storages," IEEE Transactions on Circuits and Systems-I: Regular Papers, accepted for publication.
- [2] Byeong Yong Kong and In-Cheol Park, "A 120-mW 0.16-ms-Latency Connectivity-Scalable Multiuser Detector for Interleave Division Multiple Access," IEEE Transactions on Circuits and Systems-II: Express Briefs, accepted for publication.
- [3] Jihyuck Jo, Soyoung Cha, Dayoung Rho and In-Cheol Park, "DSIP: A Scalable Inference Accelerator for Convolutional Neural Networks," IEEE Journal of Solid-State Circuits, vol. 53, no. 2, pp. 605-618, Feb. 2018.

	■ 연락처교수 : 배현민 TEL : 042-350-3489
	연구실 : 나노팹센터(E19) 307호 TEL : 042-350-5489 홈페이지 : http://nais.kaist.ac.kr

■ 연구실 현황(2019 가을학기 기준)

박사후과정 : 2명 박사과정 : 10명 석사과정 : 6명

■ 연구 분야 소개



NAIS 연구에서는 고속 통신 집적 회로 기술을 기반으로 다양한 응용 분야에 대한 광범위한 연구를 수행합니다. 연구 주제가 시스템 차원의 접근 방식을 취함에 따라 학생들은 연구를 완료하는 과정에서 광범위한 지식을 경험하고 축적 할 수 있습니다. NAIS 연구소에서 수행 한 모든 연구의 목표는 파괴적인 기술을 통해 혁신적인 시스템을 구현하고 상용화하는 것입니다. NAIS 연구소는 학생들이 대학원생 연구 기간에 수행 된 벤처 창업에 참여함으로써 벤처 생태계를 경험할 것을 권장합니다. OBELAB 과 Terasquare 그리고 Point2는 NAIS 연구실에서 대학원 과정에서 수행 한 연구를 기반으로 설립 된 두 벤처 창업 기업입니다.

■ 추천 수강 과목 및 졸업생 진로

NAIS 연구실에서 가장 중요한 미덕 중 하나는 '장인 정신'입니다. 이를 위해 NAIS 연구소는 통신 회로와 관련된 연구 및 개발에 중점을 둡니다. 학생들이 회로, 디지털 및 통신 관련 과목을 수강하는 것이 좋습니다.

NAIS 연구실의 졸업생은 업계 및 학계에서 활동하고 있습니다. 그들은 NAIS 연구실에서 수행 한 연구의 완성도를 높이기 위해 노력하고 있습니다.

■ 연구실에 대해

NAIS 연구실은 2009 년에 설립되었습니다. 많은 연구 분야에서 지속적으로 도전하고 진보를 추구합니다. 박사 학위와 석사 학위 학생들은 친근한 분위기에서 일하고 있습니다. 학생들은 운동 경기 및 기타 취미 활동을 즐깁니다. 활발한 실험실 분위기 안에서 학생들은 연구에 전념하고 학교 생활을 즐기고 있습니다.

■ 최근 연구 성과 소개 (17')

International Journal 21, International Conference 23, Patent 40

[1] Jaehyeok Yang, Seohyeon Kim, Gunpil Hwang, Kyeongha Kwon, Sejun Jeon, Hyeon-Min Bae, "Reference-Less Time-Division Duplex Transceiver IC for a Renal Denervation System", IEEE Journal of Solid-State Circuits (JSSC), no. 6, pp. 1657-1668, June 2019.
 [2] Kyeongha Kwon, Jong-Hyeok Yoon, Younho Jeon, Hanho Choi, Sejun Jeon, Hyeon-Min Bae, "An Electronic Dispersion Compensation Transceiver for 10-Gb/s and 28-Gb/s Directly Modulated Lasers-Based Optical Link", IEEE Journal of Solid-State Circuits (JSSC), no. 1, vol. 54, Jan. 2019.
 [3] Jaemyoung Kim, Jongkwan Choi, Mingyu Choi, Minsu Ji, Gunpil Hwang, Sang-Bae Ko, Hyeon-Min Bae, "Assessment of cerebral autoregulation using continuous-wave near-infrared spectroscopy during squat-stand maneuvers in subjects with symptoms of orthostatic intolerance", Scientific Reports, no. 8, Sept. 2018.

μComputing Lab

Korea Advanced Institute of Science and Technology

■ 연락처

교수: S-207, 나노팹센터 (E19)
 연구실: S-204, 나노팹센터 (E19)
 홈페이지: <http://dtlab.kaist.ac.kr>

TEL: 82-42-350-3479
 TEL: 82-42-350-5479

■ 연구실 현황 (2019년 가을학기)

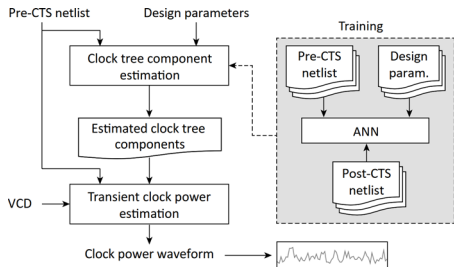
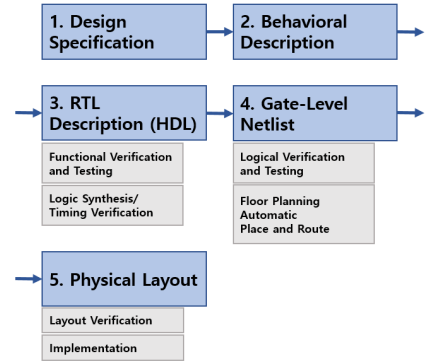
박사과정: 3 석사과정: 6

■ 연구분야 소개

Computer-Aided Design (CAD), Electronic Design Automation (EDA), Design Technology & Innovation

본 연구실에서는 전자 CAD의 다양한 분야를 연구하고 있다.

구체적인 연구 분야로는 Logic synthesis (예를 들어 clock gating을 고려한 logic synthesis), Timing analysis, Power analysis 및 optimization (high-level power modeling, leakage minimization), Lithography optimization (optical proximity correction, pattern classification & synthesis, lithography modeling, assist feature insertion 등)이 있다. 특히 최근에는 machine learning을 다양한 CAD분야에 응용한 연구를 해오고 있다.

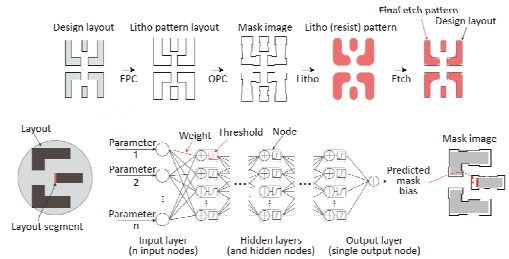


Clock Tree 파워 분석

Clock tree는 일반적인 칩에서 상당량의 파워를 소모하지만, 설계의 후반부에서나 생성되기 때문에 전반부에서는 예측하기가 어렵다. 본 연구는 clock tree 합성 이전의 gate-level netlist 단계에서 시간에 따른 clock 파워를 예측하는 머신러닝 기반의 방법을 제안한다. 클락 트리 전력 예측 결과 평균 2% 정도의 오차를 보였다. 이를 확장하여, 머신러닝을 이용해서 생성될 clock tree 구조를 예측하는 연구를 진행 중이다.

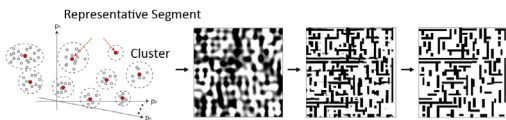
Computational Lithography

새로운 미세 공정 개발을 위해서는 리소그래피의 분해능 (resolution)을 향상시키는 것이 필수적이다. Computational lithography는 분해능 향상을 위해 사용되는 알고리즘들을 통칭하는데, 해당 과정들의 경우 연산에 1주가 넘게 걸리는 문제점을 가지고 있다. 본 연구실에서는 이에 머신러닝을 적용하여 정확도를 유지함과 동시에, 빠른 computational lithography 방법들을 연구하고 있다.



GAN을 이용한 Layout 합성

본 연구에서는 머신러닝을 이용하여 test layout pattern을 합성하는 방법을 제안한다. Layout은 DCT 신호로 나타낼 수 있기 때문에, GAN (generative adversarial network)을 적용하여 유효한 layout에 대응되는 DCT 신호를 생성할 수 있다. 제안한 방법을 통해 평균 20% 정도의 edge proximity error를 갖는 결과를 얻을 수 있었다.



■ 추천 수강 과목 및 졸업생 진로

- 학부과목 : Digital System (EE303)
 - 대학원과목 : CAD for VLSI (EE574), Digital Integrated Circuit (EE678)
 - URP와 같은 연구과목 수강을 추천.
- 반도체 (IBM, NVIDIA, 삼성전자, SK하이닉스, LG전자)와 EDA (Synopsys, Cadence) 선두기업에 주로 진출.

■ 연구 외 활동 소개


- 정기적인 회식, 졸업, 생일, 송년 축하파티 및 다양한 체육활동
- 해외 인턴십 기회 제공 : IBM, Synopsys, Cadence (미국), IMEC (벨기에)
 - 2016년, 2명의 박사과정 학생이 IBM에서 6개월간 인턴십, 1명의 석사과정 학생이 IMEC에서 3개월간 인턴십
 - 2019년, 1명의 박사과정 학생이 Synopsys에서 4개월간 인턴십

■ 연구실 홍보

가족 같은 분위기 속에서 최고의 연구 성취를 지향합니다. 안정적인 재정 지원 및 정규 연구 시간 활용을 통하여 연구 활동을 하며 교수님과 수평적인 미팅을 통하여 구체적인 기술적 난제 해결을 추구합니다. 또한, 연구 동기부여에 열정을 갖고 지도하고 계십니다.

■ 최신 연구 성과 ('16~'19)

- 분야 내 최고 권위의 국제저널 (e.g. IEEE TCAD)과 국제 유명 학회 (e.g. DAC, ICCAD)에 꾸준한 연구 결과 발표
- 신영수 교수님, IEEE Fellow 선임 (2017년); 신영수 교수님, ASP-DAC 2018 국제학회를 General Chair로 개최
- 심성보 졸업생, 1년 중 학과 내 최고 박사졸업생 한 명에게 주어지는 "Outstanding Ph. D. Dissertation Award" 수상

 Semiconductor System Laboratory	■ 연락처 교수 : 정보전자동 1221호 TEL : 042-350-3468 연구실 : 정보전자동 1233호 TEL : 042-350-8068 홈페이지 : http://ssl.kaist.ac.kr
---	---

■ 연구실 현황
 박사후과정 :3명 박사과정 : 12명 석사과정 : 8명

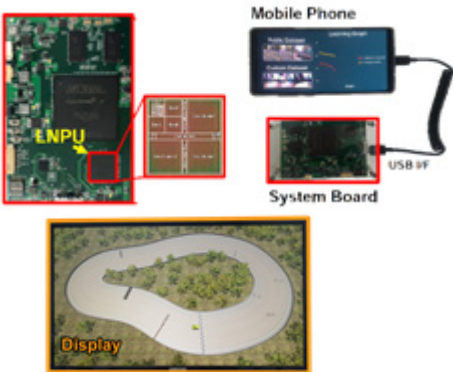
■ 연구 분야 소개

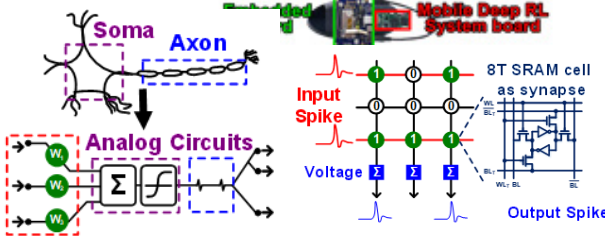
Humanistic Intelligence System

- General Purpose Mobile DRL Processor with Adaptive Data Reuse
- Sparse High DNN Learning Processor with Fine-grained Mixed Precision
- CNN-RNN Unified Energy-efficient Mobile DNN Accelerator
- CNN Super Resolution Processor for Full HD 60fps Video
- Energy Efficient DNN Learning Processor with Direct Feedback Alignment

Neuromorphic

- High Efficiency Analog-Digital Hybrid Computing Architecture
- PIM (Processing-in Memory)
- Biological Neural Network System
- Biologically Plausible Learning Algorithms based System





■ 추천 수강 과목

학부 전공 필수 과목을 제외한 선택 과목들 중에서 추천 과목으로는 디지털 시스템, 전자회로 과목 등이 있다. 그리고 그 외에 컴퓨터구조개론, 디지털 전자회로, 아날로그 전자회로 과목 또한 수강하면 많은 도움이 되는 과목들이지만, 연구실에서 OJT를 통해 완전히 새롭게 배우므로 건강한 몸과 건전한 상식만이 필요하다.

■ 연구 활동 외 소개

SSL에는 매년 1회 이상의 해외 유명 연구기관과 기업을 체험할 수 있는 기회가 있다. 미국의 반도체 회사인 TI와 세계적인 연구기관인 벨기에의 Imec, 싱가포르의 IME, 그리고 미국의 USC 대학 연구소 등과의 지속적인 교류가 매년 꾸준히 이뤄지고 있다. 또한 매년 중국과 일본의 대학들과의 joint workshop 수시 개최를 통해 북경과 동경에 실험실 지부가 설치되어 있다. 일상생활의 경우 연구실 구성원들끼리 친목을 다지기 위해서 매년 딸기파티, 단체 workshop를 하고 있다.

■ 연구실 홍보

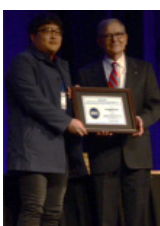
- SSL Member의 특권
 - 세계를 선도하는 연구를 통한 자부심 및 자신감
 - 연 평균 2회 이상의 해외 출장
 - 각종 해외 학회/저널 발표
 - 뛰어난 프로젝트 수행 능력 및 현란한 발표 능력
 - 자신의 이름이 새겨진 Chip
- SSL 이 추구하는 인재상
 - 최고가 되고자 하는 열정을 가진 사람
 - 국제적 감각을 가지고 세계를 리드하는 엔지니어가 되고자 하는 사람
- 한국에서는 모르는 SSL에 대한 진실
 → 국제 학회에 참가해보면 느낄 수 있습니다.

■ 연구 성과 소개

[1] 관련 분야 주요 국제 학회 매년 석권 (ISSCC 2019 기조 연설, ISSCC 2019 5편, HOTCHIPS 2019 1편, S. VLSI 2019 2 편, CICC 2019 2편)
 [2] 2016~19년 국제학회 46편, 국제저널 28편
 [3] 해외 및 국내 Joint Workshop 개최 (중국 청화대, 일본 동경대)
 [4] ISSCC 18 Demo. Award (Jinmook Lee), ISSCC 18 Demo. Award (Sungpill Choi), AICAS 2019 Best Paper Award



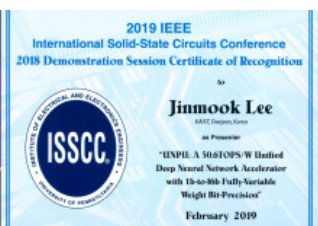
<ISSCC 2019 Plenary Talk>



<ISSCC 2018 Demo. Award>



<ISSCC 2018 Demo. Award>





■ 연락처

교수 : 이상국
 TEL : 042-350-3491
 연구실 : 정보전자공학동 (E3-2) #2228
 TEL : 042-350-5491
 홈페이지 : <https://nice.kaist.ac.kr>

■ 연구실 현황(2019 가을학기 기준)

연구교수 : 1명 박사과정 : 14명 석박통합과정 : 2명 석사과정 : 4명

■ 연구 분야 소개

▶ 초저전력 무선 통신 송수신기

IoT 산업이 발전함에 따라 무선 통신에서의 전력 소모 문제가 많은 주목을 받음에 따라 Wake-up 기술을 활용한 초저전력 무선 송수신기를 연구하고 있다.

▶ 테라헤르츠 이미징 및 6G 통신 송수신기

sub-terahertz 대역을 이용한 이미징 시스템 연구 및 차세대 6G 통신을 위한 100Gbps 이상의 데이터 전송속도를 가지는 무선 송수신기 및 sub-THz 회로 (PA,LNA,Mixer,VCO etc) 연구를 하고 있다.

▶ 전력 관리 집적 회로

에너지 하베스팅 소스와 배터리의 상태에 따라서 자동으로 상태가 바뀌는 DC-DC 컨버터를 포함하는 전력 관리 시스템에 대해 연구하고 있다.

▶ 차세대 배터리 관리 알고리즘

열역학적 상태를 기반으로 하는 안전하고 정밀한 제어를 위한 배터리 관리 시스템에 대해 연구하고 있다.

Nano Integrated Circuit Expertise (NICE) Lab. (Prof. Sang-gug Lee)

■ 추천 수강 과목 및 졸업생 진로

추천 과목으로는 아날로그 전자/집적회로, 초고주파 집적회로, 디지털 전자/집적회로, 통신 이론, 전자기학, 마이크로파, 물리 전자개론 등이 있다. 현재 졸업생들은 교수, 대기업, 정부 출연 연구소 등 다양한 곳에서 활동하고 있다.

■ 연구 활동 외 소개

매년 스승의 날에 Homecoming 행사를 통하여 선후배 간의 친목 도모를 위한 활동을 하고 있으며, 계절마다 Workshop을 통해 연구실원들끼리 우애를 다지고 있다. 또한, 주기적인 체육 활동을 통해 연구실 분위기를 활발히 하고 연구에 지친 몸과 마음을 재충전하는 시간을 가지기도 한다.

■ 연구실 홍보

이상국 교수님 연구실 NICE Lab.은 교수님과 함께 CMOS 집적 회로를 연구하면서 RF/Analog 회로 및 시스템 설계와 관련하여 다양한 지식을 배우고 나눌 수 있는 연구실입니다. 우리는 무선 통신, 에너지 하베스팅, 이미징 센서 그리고 배터리 관리와 관련된 많은 Chip을 개발하였습니다. 우리의 최근 연구는 장거리 ULP 무선 통신 라디오, 광대역 수신기 IC, TEG 기반의 전력 관리 집적 회로와 무선 센서 네트워크, 테라헤르츠 시스템 그리고 배터리 관리 시스템에 초점이 맞춰져 있습니다. 무엇보다도 이러한 회로 설계와 더불어 설계한 CMOS IC를 직접 만들어 볼 수 있는 다양한 Fabrication 기회를 제공합니다. CMOS IC 설계 및 System 설계와 관련하여 관심 있는 열정적인 학생의 많은 지원 바랍니다.

■ 최근 연구 성과 소개 ('17~'19)

[1] S. Shin, D. R. Utomo, H. Jung, Jusung Kim, S.-G. Lee, "Wide Locking-Range Frequency Multiplier by 1.5 Employing Quadrature Injection-Locked Frequency Tripler With Embedded Notch Filtering," IEEE Transactions on Microwave Theory and Techniques, (accepted for publication).

[2] D.W. Park, D.R. Utomo, J.P. Hong and S.G. Lee, "A 230–260-GHz Wideband and High-Gain Amplifier in 65-nm CMOS Based on Dual-Peak Gmax-Core," IEEE Journal of Solid-State Circuits, vol. 54, no. 6, 2019

[3] B.M. Lim, J.I. Seo, and S.G. Lee, "A Colpitts Oscillator-Based Self-Starting Boost Converter for Thermoelectric Energy Harvesting With 40-mV Startup Voltage and 75% Maximum Efficiency," IEEE Journal of Solid-State Circuits, vol. 53, no. 11, 2018

지능형전력효율설계연구실 (Smart Energy-Efficient Design Laboratory)	■ 연락처 교수 : wanyeong@kaist.ac.kr TEL : 042-350-7459 연구실 : TBD TEL : 042-350-7559 / 7659 홈페이지 : TBD (교수 개인 홈페이지: http://www.mit.edu/~wanyeong/)
--	---

■ 연구실 현황(2019 가을학기 기준)

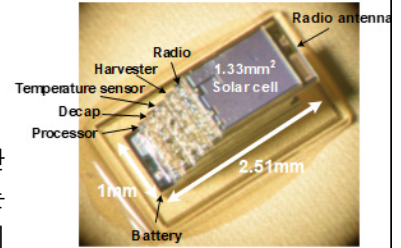
박사후과정 : 0명 박사과정 : 0명 석사과정 : 0명

■ 연구 분야 소개

주된 연구 분야는 저전력 회로 설계 기술 및 이를 바탕으로 한 다양한 목적의 시스템 제작 및 응용입니다.

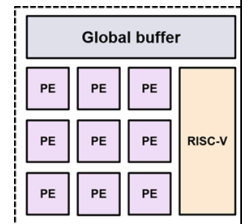
자율적이고 효율적인 에너지 하베스팅 및 전력 관리 시스템

작은 IoT 기기에서는 에너지를 저장할 수 있는 공간의 한계로 인해 시스템 동작 시간이 제한되며, 전반적인 전력 효율을 올리는 것이 이러한 시스템의 실용화에 매우 중요합니다. PI는 switched-capacitor DC-DC converter를 이용한 다수의 에너지 하베스팅 회로 및 전력 관리 회로를 개발하였으며 현재는 fine-grained DVFS 와 전력관리회로 설계 자동화 등의 분야로도 연구를 확장할 계획입니다. 다양한 전력 변환 및 전압 조절 기술과 더불어 부하 회로를 조절하는 등의 방법으로 효율 및 안정성을 향상시키려 합니다.



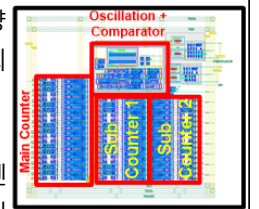
엣지 컴퓨팅 및 머신 러닝

기기간의 데이터 통신은 내부 데이터 처리 비용에 비해 상대적으로 비싸며, 빠른 반응속도 및 효율적인 데이터 전달, 보안 등의 이유로 인해 사물인터넷 기기에서의 엣지 컴퓨팅이 최근 각광받고 있습니다. 이들 기기의 크기, 에너지 저장량 및 전력 공급량 한계로 인해 작고 효율적인 컴퓨팅 시스템이 필요하지만 각 기기에 맞추어 ASIC을 설계 제작하는 것은 다품종 소량생산 추세와 맞물려 제작 비용을 증가시킬 수 있습니다. DNN, CNN 등의 기계학습 알고리즘은 다양한 종류의 데이터와 작업에 적용될 수 있으므로 이를 모듈화하여 설계 및 제작 비용을 낮게 유지하면서도 충분한 다양성과 기능을 확보할 수 있습니다. PI는 다양한 종류와 정밀도의 CNN inference를 가속할 수 있는 회로를 최근 제작하였으며, 앞으로도 이러한 회로의 정밀도와 응용 분야를 넓히기 위해 계속 연구를 해 나갈 예정입니다.

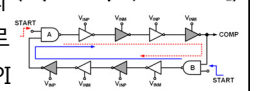


작고 에너지 효율적인 센서 인터페이스 개발

최신 공정에서는 노이즈, 공정 오차, 아날로그 회로의 동작 전압 및 고유 이득 저하 등의 이유로 인해 센서 인터페이스를 비롯한 아날로그 회로 전반의 성능이 크게 향상되지 않거나 오히려 저해되는 일이 생기기도 합니다. 이들 회로는 많은 센서를 내장하게 될 IoT 기기에 필수적인 요소이기 때문에, 시스템 전체의 제작 비용과 동작 효율을 향상하기 위해서는 최신 공정으로 작은 면적 안에 이들 회로를 구현하고 앞으로도 최소한의 성능 저하로 더욱 미세한 공정으로의 쉬운 이식이 가능하도록 하는 것이 매우 중요합니다. PI는 아날로그 기능을 클럭 신호의 주파수와 위상 등을 이용하여 디지털 회로와 비슷하게 구현하는 연구를 진행하였으며, 이를 응용하여 ADC와 많은 종류의 센서 인터페이스를 제작하였습니다. 이들의 간단한 구조로 인해, 이들 회로는 쉽게 동적으로 정밀도나 측정 주기를 조절할 수 있으며, 상기 엣지 컴퓨팅 기술과 결합하여 지능적 자율적으로 동적으로 센서 감도 및 전력 소모를 최적화하는 것이 앞으로의 연구 목표입니다.



CDC Core (42µm × 40µm, 0.0017mm²)



■ 추천 수강 과목 및 졸업생 진로

디지털 및 아날로그 집적회로 설계와 관련 있는 과목을 추천합니다. 다만 앞으로의 회로 연구 방향은 다양한 분야의 지식이 필요한 응용 분야로 주로 확장될 것으로 생각하며, 이에 컴퓨터공학, 컴퓨터구조론, 통신 및 신호처리 등 다양한 배경을 가진 학생도 널리 환영하고 있습니다.

■ 연구 활동 외 소개

회식 및 MT/워크샵 (예정)
 ISSCC, VLSI-C 등 회로 분야의 국제 top conference 참가 (예정)
 기타 랩 구성원간의 자발적인 이벤트나 모임 지원 (예정)

■ 연구실 홍보

PI는 2019년 8월에 KAIST에 부임하였으며 현재 연구실 환경 및 연구 체제를 정비중입니다. 주 연구 분야는 저전력 아날로그/디지털/전력관리 회로 설계와 이를 이용한 시스템 제작입니다. 현재 열심히 학생을 모집중이며, 다년간의 미국 대학원 경험을 바탕으로 수평적인 관계 속에서 성실성의껏 학생을 지도할 예정입니다. 지금 들어오면 다양한 분야의 연구 관련 경험을 쌓을 수 있으며, 자기주도적 연구를 하고 싶은 학생이나 심도 있는 기술적 지도를 바라는 학생 모두에게 열린 기회를 제공합니다.

■ 최근 연구 성과 소개 ('17~'19)

[1] "Edge-Pursuit Comparator: An Energy- Scalable Oscillator Collapse-Based Comparator With Application in a 74.1 dB SNDR and 20 kS/s 15b SAR ADC," *IEEE JSSC* Apr. 2017 (Invited for a special issue) [2] "A Start-up Boosting Circuit with 133x Speed Gain for 2-Transistor Voltage Reference", *IEEE CICC*, 2017 [3] "A 0.6nJ .0.22/+0.19°C inaccuracy temperature sensor using exponential subthreshold oscillation dependence", *IEEE ISSCC*, 2017.



집적회로 및 마이크로시스템 연구실

■ 연락처

교수 : 나노종합기술원 317호 TEL : 042-350-7437
 연구실 : 나노종합기술원 316호 TEL : 042-350-7637
 홈페이지 : <http://impact.kaist.ac.kr/>

■ 연구실 현황(2019 가을학기 기준)

박사후과정 : 1명 박사과정 : 22명 석사과정 : 10명

■ 연구 분야 소개

연구의 핵심 기술은 analog, mixed-signal, RF 집적 회로 설계 기술로서 특히 지능형 센서 인터페이스 회로 및 초저전력 무선 통신 회로 설계 기술에 초점이 맞추어져 있습니다.

▷ 지능형 센서 인터페이스

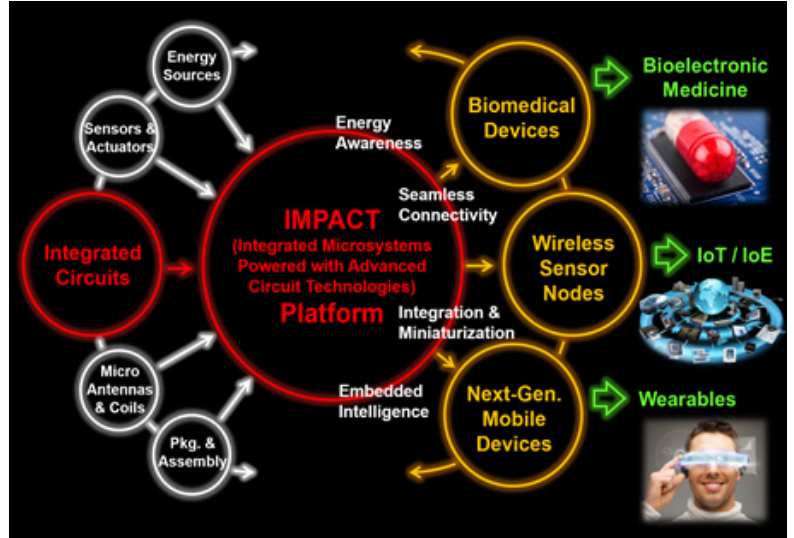
센서와 연동하는 센서 인터페이스 회로는 실재하는 물리적 세상의 정보를 획득하기 위해 반드시 필요한 요소로서, 낮은 전력을 소모하면서도 충분한 성능을 제공하며, 특히 센서의 부족한 점을 보완하는 한편, 불완전한 조건 하에서도 의미 있는 정보를 추출해낼 수 있어야 합니다. 저희 연구실은 이러한 지능형 인터페이스 회로를 개발하는 것을 목표로 합니다.

▷ 초저전력 무선 통신

인체 부근에서의 초저전력 무선 통신을 위해서는 그 통신 방식자체의 에너지 효율을 높이는 기술이 필요하며, 이와 더불어 필요한 순간에만 통신 회로 전체를 구동시킴으로써 전력의 소모를 줄일 수 있습니다. 따라서 이러한 기법을 구현하는데 필요한 여러 가지 회로 기술 개발을 진행하고 있습니다.

▷ 미래 응용을 위한 마이크로시스템 융합

다양한 저전력 집적회로 기술을 기반으로 미래에 중요한 역할을 할 것으로 전망되는 여러 응용 분야에 사용할 수 있도록 초소형 지능형 마이크로시스템을 구현하는 한편 특히 생체에 삽입할 수 있는 초소형 의료기기, 뇌 연구 및 신경질환 치료용 기기가 주요 응용 분야입니다. 이 외에도 사물인터넷의 구현에 있어 핵심이 되는 초저전력 무선 센서 노드 및 차세대 모바일 기기 로 전망되는 착용형 기기 분야 응용에도 관심을 가지고 연구를 진행하고 있습니다.



■ 추천 수강 과목 및 졸업생 진로

회로 및 시스템 설계 기술, 무선 통신에 관하여 배울 수 있는 과목들의 수강을 추천합니다. 해당 과목으로는 회로이론, 전자회로, 아날로그 전자회로, 디지털 전자회로, 디지털 시스템, 디지털 신호 처리, 통신 공학, 무선 공학 등이 있습니다. 졸업 후에는 집적 회로 및 마이크로시스템 설계 기술은 물론, 의료, IT, 뇌공학 등 연구 응용 분야와 관련된 다양한 국내외 기업 및 연구소, 또는 학교로 진출하실 수 있습니다.

■ 연구 활동 외 소개

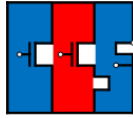
최근 시작한 새로운 연구실입니다. 따라서 어떠한 문화를 갖춘 연구실로 발전해 가느냐는 연구실의 주인이자 가족이 될 여러분의 손에 달려 있습니다. 서로 신뢰하고 자율적인 분위기 속에서 기분 좋은 열정과 흥미를 가지고 연구에 임할 수 있는 환경과 여건을 만들기 위해 최선의 지원을 다 할 것입니다. 이를 위해 필요한 다양한 연구 외 활동들도 함께 만들어 갑시다.

■ 연구실 홍보

새로운 회로 기술의 단편적인 개발에 그치는 것이 아니라 센서, 에너지, 통신, 패키징은 물론, 의료 및 IT 응용을 포함한 다양한 분야의 전문가들과 국제적 공동 연구 네트워크를 형성하여 함께 일함으로써 실제 미래의 우리 삶에 큰 영향을 줄 수 있는 실제적 성과를 이루는 것을 목표로 연구합니다. 페루프 양방향 특성을 갖는 차세대 뇌신경질환용 의료 기기를 개발하는데 있어 반드시 필요한 집적회로 및 마이크로시스템 기술을 개발함으로써 뇌신경질환으로 고통 받는 환자들의 삶을 완전히 다른 것으로 만들 수 있으며, 뇌신경 매핑 연구에 핵심이 되는 기술들을 개발함으로써 인간 뇌 동작의 기전을 밝힐 수 있는 길을 열어 그동안 치료할 수 없었던 각종 뇌 질환을 다룰 수 있는 혁신적인 방법들을 발견하고, 인간의 뇌를 닮은 궁극의 인공 지능을 개발할 수 있도록 하는 등, 우리의 미래를 바꿀 연구를 한다는 흥분과 사명을 가지고 연구에 임합니다.

■ 최근 연구 성과 소개 ('18~'19)

- [1] "A Multimodal Multichannel Neural Activity Readout IC with 0.7μW/Channel Ca²⁺-Probe-Based Fluorescence Recording and Electrical Recording," SOVC 2019
- [2] "A 100Mb/s Galvanically-Coupled Body-Channel-Communication Transceiver with 4.75 pJ/b TX and 26.8 pJ/b RX for Bionic Arms," SOVC 2019
- [3] "A 110dB-CMRR 100dB-PSRR Multi-Channel Neural Recording Amplifier System Using Differentially Regulated Rejection Ratio Enhancement in 0.18m CMOS," IEEE ISSCC 2018
- [4] "A 6.5W 92.3dB-DR Biopotential Recording Front-End with 360mVpp Linear Input Range," SOVC 2018
- [5] "A 114-aFrms-Resolution 46-nF/10-M-Range Digital-Intensive Reconfigurable RC-to-Digital Converter," SOVC 2018



Cho's Circuits and System Laboratory (CCSLAB)

■ 연락처

교수 : 나노종합팹센터 308호 TEL : 042-350-3480
 연구실 : 나노종합팹센터 304호 TEL : 042-351-9932
 홈페이지 : <http://ccs.kaist.ac.kr/>

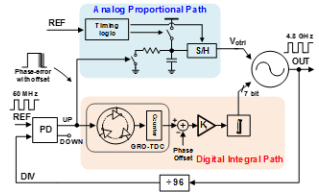
■ 연구실 현황 (2019 가을학기 기준)

박사과정 : 10 석사과정 : 6

■ Research Areas

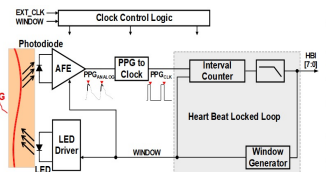
▷ 고속 아날로그 회로

CCS 연구실에서 연구하고 있는 고속 아날로그 회로는 clock generation, memory interface와 wireline transceiver가 있다. 대표적으로, PLL (위상고정루프) 은 통신 시스템에서 원하는 주파수의 clock을 동기화 시키는 필수적인 아날로그-혼성회로이다. 최근 우리는 레이다 어플리케이션을 위한 V-band (40-75GHz)와 W-band (75-110GHz) PLL을 연구 중이다.



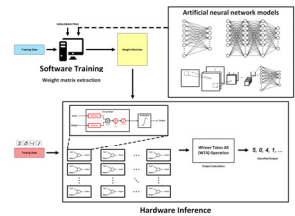
▷ 센서

고성능 생체신호센서와 환경센서는 우리의 연구 관심사이다. 센서는 IoT 어플리케이션용도를 목적으로 저전력, 고신뢰성을 특징으로 가져야한다. 생체신호센서 팀에서는 ECG 아날로그 프론트엔드와 BCC 송수신단에 대한 연구를 진행하고 있으며, 환경센서팀에서는 CMOS 공정의 가속도 측정기와 습도 센서를 주제로 하고 있다.



▷ 머신러닝 프로세서

머신러닝이 상업적, 산업적으로 다양한 기술들에 혁신적으로 적용됨에 따라 뉴럴 네트워크 기반 머신러닝이 최근 수 년 동안 많은 관심을 불러 일으켰다. 특히, CCS 연구실에서는 디지털 회로에서가 아닌 아날로그 회로를 기반으로 하여 저전력, 고성능의 특징을 효과적으로 얻는 머신 러닝 프로세서를 연구 중이다.



■ 추천 수강 과목 및 졸업생 진로

추천 과목으로는 회로설계를 위한 회로이론, 전자회로, 통신 시스템, 물리전자개론 그리고 디지털 신호처리 등이 있다.

졸업 후에는 DGIST, ETH Zurich, KAIST(조교수), NVidia, Qualcomm, Boradcom, A*STAR, 삼성전자, Fairchild, 현대모비스, MIT, Stanford, Univ. of Michigan, U. C. San Diego, MIT Sloan (MBA), T. U. Delft 같은 국내외 대기업 및 연구기관으로 진출하고 있다.

■ 연구 활동 외 소개

CCS 연구실은 정기적인 회식, 딸기파티 및 수차례 여름/겨울 MT (등산, 바다, 스키장 등)을 통하여 구성원들 간의 친목을 다지고 있다. 또한 연구원들은 유동적으로 방학을 가질 수 있을 뿐만 아니라 다양한 국내외 학술대회에 참여할 기회가 주어진다.



■ Introduction to the Lab.

CCS연구실에서는 고성능 통신과 생체신호 센서를 위한 신기술을 연구한다. 연구의 초점은 알고리즘 및 시스템 구조에서부터 회로 설계 기술에 이르기 까지 시스템 추상화의 여러 계층을 염두에 둔 아날로그 집적회로를 설계하는 것이다. 주 관심 분야는 생체 신호 센서, PLL (위상고정루프)과 ADCs (아날로그 디지털 변환기)가 있다. 최근 웨어러블 디바이스와 머신러닝을 위한 회로 설계를 연구하고 있다.

■ 연구 성과 소개 ('17~'19)

[1] S. Park, G-H. Lee, and S.H. Cho, "A 2.92- μ W Capacitance-to-Digital Converter With Differential Bondwire Accelerometer, On-Chip Air Pressure, and Humidity Sensor in 0.18- μ m CMOS," IEEE J. Solid-State Circuits, Early Access, 2019.
 [2] J. Lee, G-H. Lee, H. Kim, and S.H. Cho, "An Ultra-high Input Impedance Analog Front-end with Self-calibrated Positive Feedback," IEEE J. Solid-State Circuits, vol. 53, no. 8, 2018.
 [3] N. Koo, S.H. Cho, "A 27.8 μ W Biopotential Amplifier Tolerant to 30VPP Common-Mode Interference for Two-Electrode ECG Recording in 0.18 μ m CMOS," IEEE Int'l Solid-State Circuits Conference (ISSCC), 2019
 [4] D. Jang, S. H. Cho, "A 43.4 μ W photoplethysmogram-based heart-rate sensor using heart-beat-locked loop," IEEE Int'l Solid-State Circuits Conference (ISSCC), 2018.

	<p>■ 연락처</p> <p>교수 : 최재혁 TEL : 042-350-7458 연구실 : ICSSL TEL : 042-350-7558 홈페이지 : icsl.kaist.ac.kr</p>
<p>■ 연구실 현황(2017 가을학기 기준)</p> <p>박사후과정 : 0명 박사과정 : 8명 석사과정 : 5명</p>	
<p>■ 연구 분야 소개</p> <p>1. 5G 및 Beyond 5G 무선통신을 위한 다중규격, 다중밴드 트랜시버 연구</p> <p>증강현실 (AR), 가상현실 (VR) 등으로 대표되는 미래 4차 산업의 콘텐츠는 방대한 데이터의 지연 없는 초고속 송수신을 전제로 한다. 현 셀룰러 통신시스템의 한계를 극복하고 10Gbps 이상의 데이터 전송속도를 목표로 하는 5G 통신시스템이 4차산업의 성장과 확산의 열쇠를 쥐고 있다. 밀리미터 고주파대역에서 초광대역 데이터 송수신을 지원할 수 있는 셀룰러 통신용 무선 송수신기 IC는 5G 통신시스템 구현의 핵심이다. 본 연구는 독보적인 세계시장 경쟁력 획득이 가능한 5G 셀룰러 통신용, 초소형, 다중규격, 다중밴드 무선통신 회로를 연구, 개발하고자 한다. 또한, 10년 후에 도래할 Beyond 5G, 6G 이상에 관한 선행 연구도 진행 중에 있다. 6G는 5G 통신보다도 10배 이상의 통신속도를 필요로 하게 될 것으로 예측되는데, 100Gbps 이상 급의 통신속도를 달성하기 위해서는 100GHz 이상 대역 (sub-THz) 에서의 통신의 사용화가 가장 큰 기술적 bottleneck이 될 것이다. Silicon 소자를 이용하여, 100GHz 이상의 주파수 대역에서 신호를 생성하고 통신을 가능하게 하는 새로운 집적회로 기술에 관한 연구를 진행하고 있다.</p> <p>2. 초고속 유무선통신 및 차세대 메모리 시스템을 위한 초저잡음 고주파신호 생성/분배 회로 기술 연구</p> <p>고주파신호 생성기의 핵심 회로인 오실레이터 구조 중, 링 오실레이터 구조는 높은 집적도를 가지고 있어 집적도가 중요한 SoC 및 메모리시스템에서의 사용이 적합하지만 LC 구조에 비하여 크게 열등한 노이즈 성능이 문제가 되어왔으며, 실제로 100fs 미만의 지터 성능을 요구하는 5G 통신, 100Gbps 이상급 SerDes 시스템 등에서의 사용은 불가능한 것으로 생각되어 왔다. 반면 LC 구조는 우수한 노이즈 성능을 갖지만 큰 실리콘 면적을 차지하는 문제가 있다. 본 연구는 링 오실레이터와 LC 오실레이터 사이의 딜레마를 근본적으로 극복할 수 있는 극초소형, 초저잡음 신호생성 구조 연구를 목표로 한다. 본 연구는 링 오실레이터를 이용하여 불가능으로 여겨지는 100fs 미만의 지터 성능을 획득하는 회로 기술 개발하여 기존 통신 반도체의 paradigm을 바꾸고자 한다.</p> <p>3. 다중모드 에너지하베스팅 기술 기반 범용 IoT 통합플랫폼 연구</p> <p>IoT (사물인터넷) 기술이 가져올 궁극적인 미래는 다양한 센서들이 자연 혹은 주변 환경에 광범위하게 배치되고, 이렇게 분포된 수많은 센서들이 사람이 놓치기 쉬운 작은 정보를 하나 하나 수집하고 처리하고 전달하는 초연결사회이다. IoT 기술은 다양한 분야에서, 2020년까지 300억개의 디바이스가 사용될 것으로 예측되며, 5G와 더불어 미래 IT산업의 핵심 인프라기술이다. 특히 환경 IoT 센서의 역할은 더욱 중요하다. IoT 센서를 이용하여 사람의 접근이 용이치 않은 환경을 지속적으로 모니터링하고 위험 요소를 조기 예측함으로써 화재, 산사태, 미세 먼지 등의 재난을 예방할 수 있다. IoT 센서 기술의 핵심은 외부전원 공급이 필요 없는 자가 구동이다. 다양한 환경 요소로부터 에너지를 수집하고 이를 기반으로 전력 및 배터리를 관리하고, 대상 환경 신호를 저전력으로 측정, 수집, 전달하는 초저전력 회로 설계가 핵심이다. 본 연구는 "자가전원 다중모드 환경 IoT센서 플랫폼" 개발을 목표로 한다.</p>	
<p>■ 추천 수강 과목 및 졸업생 진로</p> <p>세계 우수 기업의 IC 디자이너 국제 연구소의 연구원 대학 연구원 및 교수</p>	<p>■ 연구 활동 외 소개</p> <p>단체 운동 (농구, 배드민턴, 탁구 등...)/ 영화 관람/ 여행 해외 기업 인턴쉽 기회 (퀄컴, 인텔 등) 국제 학회 참석 (ISSCC, VLSI 심포지움 등)</p>
<p>■ 연구실 홍보</p> <p>ICSSL은 아날로그, 혼합 및 RFIC 분야에서 세계적으로 손꼽히는 연구 성과를 내고 있습니다. 최근 4년간 회로설계분야 최고 저널인 JSSC를 11편 출간하였으며, 동 분야 최고 학회인 ISSCC에서 6편, VLSI symposium에서 5편의 논문을 발표하였습니다. ICSSL은 가족과 같은 분위기에서 세계 최고 수준의 연구를 추구하는 그룹입니다. ICSSL에서 함께 연구하고, 함께 공부하고, 함께 생활하면서, 우수한 연구 능력, 탁월한 실적, 훌륭한 사회성을 두루 갖춘 연구자로 성장할 수 있습니다.</p>	
<p>■ 최근 연구 성과 소개 ('15~'17)</p> <p>"A 76fs_{RMS}-jitterand-40dBc-integrated-phase-noise 28-31GHz frequency synthesizer based on digital sub-sampling PLL using optimally-spaced voltage comparators and background loop-gain optimization," <i>ISSCC 2019</i>, February 2019</p> <p>"A 140fs_{RMS}-jitterand-72dBc-reference-spur ring-VCO-based injection-locked clock multiplier using a background triple-point frequency/phase/slope calibrator," <i>ISSCC 2019</i>, February 2019.</p> <p>"A 0.5V-V_{IN},0.29ps-Transient-FOM, and Sub-2mV-Accuracy Adaptive-Sampling Digital LDO Using Single- VCO-Based Edge-RacingTime Quantizer", <i>VLSI Symposium 2019</i>, June 2019.</p> <p>"A -31dBc integrated-phase-noise 29GHz fractional-N frequency synthesizer supporting multiple frequency bands for backward-compatible 5G," <i>ISSCC 2018</i>, February 2018.</p> <p>"Self-sustaining water-motion sensor platform for continuous monitoring of frequency and amplitude dynamics," <i>Nano Energy (Elsevier) (IF = 12.343)</i>, May 2017.</p>	